

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/21 (02-04)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/809,308
	Filing Date	March 24, 2004
	First Named Inventor	Takehiko Hojo
	Art Unit	Not yet assigned
	Examiner Name	Not yet assigned
Total Number of Pages in This Submission	Attorney Docket Number	2102475-992040

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): Postcard
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm Or Individual name	EDWARD B. WELLER (Reg. No. 37,468) Gray Cary Ware & Freidenrich LLP
Signature	
Date	May 3, 2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Susan Pingue		
Signature		Date	May 3, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

American LegalNet, Inc.
www.USCourtForms.com

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Hojo, et al.

Serial No. 10/809,308

Group Art Unit: Not yet assigned

Filed: March 24, 2004

Examiner: Not yet assigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT PROVIDED WITH
SEMICONDUCTOR MEMORY CIRCUIT HAVING REDUNDANCY
FUNCTION AND METHOD OF TRANSFERRING ADDRESS DATA

DATE OF DEPOSIT: May 3, 2004

I hereby certify that this paper is being deposited with the United States Postal Service FIRST CLASS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Susan Pingu

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-408587	December 8, 2003

Attorney Docket No.: 2102475-992040

The certified copy of the corresponding Convention Application is enclosed.

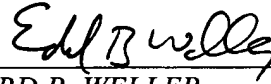
The Commissioner is authorized to charge any deficiencies and credit any overpayment of fees to our Deposit Account No. 07-1896.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: May 3, 2004

By



EDWARD B. WELLER

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
Palo Alto, CA 94303-2248
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 2 月 8 日

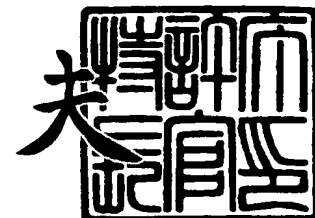
出 願 番 号
Application Number: 特 願 2 0 0 3 - 4 0 8 5 8 7
[ST. 10/C]: [J P 2 0 0 3 - 4 0 8 5 8 7]

出 願 人
Applicant(s): 株式会社東芝

2 0 0 4 年 4 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000302893
【提出日】 平成15年12月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 29/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 北城 岳彦
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 佐藤 彰邦
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

通常使用されるメモリセルと、
前記メモリセルが不良のとき、不良の前記メモリセルと置き換えて使用されるスペアのメモリセルと、
前記スペアのメモリセルが使用されているか否かを示すデータを記憶する第 1 の記憶回路と、
前記スペアのメモリセルに置き換えられた不良の前記メモリセルのアドレスを記憶する第 2 の記憶回路と、
前記第 1 の記憶回路に記憶されたデータにより、前記スペアのメモリセルが使用されているか否かを判定する判定回路と、
所定のデータを発生する発生回路と、
前記判定回路による判定結果に応じて、前記第 2 の記憶回路に記憶されたアドレスと前記発生回路から発生したデータのいずれかを選択して出力する選択回路と、
を具備することを特徴とする半導体集積回路。

【請求項 2】

前記第 2 の記憶回路の総数は、前記スペアのメモリセルの総数より少ないことを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記選択回路は、前記判定回路による判定結果が前記スペアのメモリセルが使用されていることを示すとき、前記第 2 の記憶回路に記憶されたアドレスを選択し、前記スペアのメモリセルが使用されていないことを示すとき、前記発生回路から発生したデータを選択することを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 4】

前記選択回路から出力されるデータを記憶する、シフトレジスタを含む第 3 の記憶回路と、
前記第 3 の記憶回路に記憶されたデータと外部から入力されたアドレスとを比較し、一致するか否かを判定するアドレス判定回路と、
をさらに具備することを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体集積回路。

【請求項 5】

不良のメモリセルと置き換えて使用されるスペアのメモリセルを備えた半導体集積回路のアドレスデータ転送方法において、
前記スペアのメモリセルが使用されているか否かを示すデータを第 1 の記憶回路に記憶するステップと、
前記スペアのメモリセルに置き換えられた前記不良のメモリセルのアドレスを第 2 の記憶回路に記憶するステップと、
前記第 1 の記憶回路に記憶されたデータにより、前記スペアのメモリセルが使用されているか否かを判定し、前記スペアのメモリセルが使用されているとき、前記第 2 の記憶回路に記憶された不良のメモリセルのアドレスを転送し、前記スペアのメモリセルが使用されていないとき、発生回路から発生したデータを転送するステップと、
を具備することを特徴とするアドレスデータ転送方法。

【書類名】明細書**【発明の名称】半導体集積回路及びアドレスデータ転送方法****【技術分野】****【0001】**

この発明は、リダンダンシ機能を搭載した半導体記憶回路を備えた半導体集積回路及びアドレスデータ転送方法に関するものである。

【背景技術】**【0002】**

従来、半導体記憶回路には、通常使用するメモリセル（レギュラーセル）が不良であるときに、その不良のメモリセルを予備のメモリセル（スペアセル）に置き換えるリダンダンシ機能が備えられている（例えば、特許文献1参照）。

【0003】

図7に、従来のリダンダンシ機能を備えた半導体記憶回路の構成を示す。

【0004】

ヒューズボックス100は、ヒューズブロック101とヒューズ転送回路102を備えている。ヒューズブロック101には、スペアセル112が使用されているか否かを示すイネーブルデータと、スペアセル112に置き換えられた不良レギュラーセルのアドレスデータが記憶される。ヒューズ転送回路102は、これらイネーブルデータ及びアドレスデータをメモリ回路110に転送する。以下、イネーブルデータとアドレスデータを含めてヒューズデータと記す。

【0005】

ヒューズブロック101は、イネーブルヒューズ103とアドレスヒューズ104を有している。イネーブルヒューズ103は1つのヒューズからなり、アドレスヒューズ104は複数のヒューズからなる。そして、1つのイネーブルヒューズ103と1つのアドレスヒューズ104が1組となり、スペアセル112が持つ1つのメモリセルに対応している。

【0006】

イネーブルヒューズ103には、このイネーブルヒューズに対応するスペアセル112が使用されているか否かを示すイネーブルデータが記憶される。イネーブルヒューズ103に記憶されたイネーブルデータが、スペアセル112が使用されていることを示すとき、そのイネーブルヒューズと同じ組のアドレスヒューズ104には、スペアセルに置き換えられた不良レギュラーセルのアドレスデータが記憶される。一方、イネーブルデータがスペアセル112が使用されていないことを示すとき、そのアドレスヒューズ104を構成する複数のヒューズには“0”が記憶される。

【0007】

イネーブルヒューズ103及びアドレスヒューズ104に記憶された全てのヒューズデータが、メモリ回路110内のリダンダンシラッチ回路113に転送され、スペアセル112を使用した不良レギュラーセルのアドレスがリダンダンシラッチ回路113に記憶される。

【特許文献1】特開2000-182394号公報**【発明の開示】****【発明が解決しようとする課題】****【0008】**

前述した半導体記憶回路におけるヒューズデータの転送方法では、アドレスデータが記憶されていないアドレスヒューズ104のデータもリダンダンシラッチ回路113へ転送する必要がある。このため、アドレスデータを記憶しないアドレスヒューズ104の領域も予め準備する必要がある。これは、今後、半導体記憶回路が大容量化される上で、チップ面積を増大させる要因になるという問題がある。

【0009】

そこでこの発明は、前記課題に鑑みてなされたものであり、大容量化が進行した場合で

も、チップ面積の増大を抑制することができる半導体記憶回路を備えた半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

前記目的を達成するために、この発明の一実施形態の半導体集積回路は、通常使用されるメモリセルと、前記メモリセルが不良のとき、不良の前記メモリセルと置き換えて使用されるスペアのメモリセルと、前記スペアのメモリセルが使用されているか否かを示すデータを記憶する第1の記憶回路と、前記スペアのメモリセルに置き換えられた不良の前記メモリセルのアドレスを記憶する第2の記憶回路と、前記第1の記憶回路に記憶されたデータにより、前記スペアのメモリセルが使用されているか否かを判定する判定回路と、所定のデータを発生する発生回路と、前記判定回路による判定結果に応じて、前記第2の記憶回路に記憶されたアドレスと前記発生回路から発生したデータのいずれかを選択して出力する選択回路とを具備することを特徴とする。

【0011】

また、この発明の一実施形態の半導体集積回路のアドレスデータ転送方法は、不良のメモリセルと置き換えて使用されるスペアのメモリセルを備えた半導体集積回路のアドレスデータ転送方法において、前記スペアのメモリセルが使用されているか否かを示すデータを第1の記憶回路に記憶するステップと、前記スペアのメモリセルに置き換えられた前記不良のメモリセルのアドレスを第2の記憶回路に記憶するステップと、前記第1の記憶回路に記憶されたデータにより、前記スペアのメモリセルが使用されているか否かを判定し、前記スペアのメモリセルが使用されているとき、前記第2の記憶回路に記憶された不良のメモリセルのアドレスを転送し、前記スペアのメモリセルが使用されていないとき、発生回路から発生したデータを転送するステップとを具備することを特徴とする。

【発明の効果】

【0012】

この発明によれば、大容量化が進行した場合でも、チップ面積の増大を抑制することができる半導体記憶回路を備えた半導体集積回路を提供することが可能である。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照してこの発明の実施形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0014】

〔第1の実施形態〕

まず、この発明の第1の実施形態のリダンダンシ機能を搭載した半導体記憶回路を含む半導体集積回路について説明する。

【0015】

図1は、第1の実施形態のリダンダンシ機能を搭載した半導体記憶回路を含む半導体集積回路の構成を示すブロック図である。図1に示すように、この半導体集積回路は、メモリ回路10とヒューズボックス20を備える。

【0016】

メモリ回路10は、レギュラーセル11、スペアセル12、リダンダンシラッチ回路13、及びリダンダンシアドレス判定回路14を有している。レギュラーセル11は、通常に使用される、情報を記憶するメモリセルである。スペアセル12は、レギュラーセル11が不良であるときに、その不良のレギュラーセルの代わりに置き換えて使用される、情報を記憶するメモリセルである。リダンダンシラッチ回路13は、ヒューズボックス20から転送されたヒューズデータを記憶する。このヒューズデータは、不良レギュラーセルのアドレスデータ（以下、ヒューズアドレスと記す）を含んでいる。リダンダンシアドレス判定回路14は、リダンダンシラッチ回路13に記憶されたヒューズアドレスと外部から入力されたアドレスデータ（以下、入力アドレスと記す）とを比較して、一致しない場合は入力アドレスが示すレギュラーセル11を選択し、一致する場合は入力アドレス及び

ヒューズアドレスが示すスペアセル 12 を選択する。

【0017】

ヒューズボックス 20 は、ヒューズブロック 21 とヒューズ転送回路 22 を有する。ヒューズブロック 21 は、イネーブルヒューズ 23 とアドレスヒューズ 24 から構成されている。イネーブルヒューズ 23 は、スペアセル 12 が使用されているか否かを記憶するヒューズであり、スペアセル 12 が持つメモリセル数と同じ数だけ形成されている。アドレスヒューズ 24 は、レギュラーセル 11 のアドレスを記憶可能な複数のヒューズを 1 セットとし、このセットがスペアセル 12 の持つメモリセル数より少ない数だけ形成されている。すなわち、アドレスヒューズ 24 のセット数は、イネーブルヒューズ 23 の数より少ない。例えば、記憶容量が 512 ビットのレギュラーセルを備える場合、1 つのアドレスヒューズ 24 は 9 ビットデータを記憶する 9 個のヒューズを 1 セットとし、このセットがスペアセル 12 の持つメモリセル数より少ない数だけ形成されている。アドレスヒューズ 24 の 1 つのセットには、スペアセル 12 に置き換えられた不良のレギュラーセルのアドレスが記憶される。

【0018】

なお、イネーブルヒューズ 23 は、図 1 に示すように、ヒューズ素子 23 A とヒューズ素子 23 A が切断されているか否かに応じてデータを記憶するフリップフロップ 23 B から構成されている。アドレスヒューズ 24 は、ヒューズ素子 24 A とヒューズ素子 24 A が切断されているか否かに応じてデータを記憶するフリップフロップ 24 B から構成されている。フリップフロップ 23 B、24 B は、ヒューズ素子 23 A、24 A が切断されているとき“1”または“0”を記憶し、切断されていないとき“0”または“1”を記憶する。ここでは、切断されているとき“1”を記憶し、切断されていないとき“0”を記憶するものとする。さらに、フリップフロップ 23 B、24 B は、図 1 に示すように直列に接続されてシフトレジスタを構成している。

【0019】

前述した構成を有する半導体記憶回路では、図 7 に示した従来例に比べてアドレスヒューズの個数を削減している。図 1 に示す領域 24 C は削減されたアドレスヒューズを示している。これにより、アドレスヒューズの形成に必要な半導体基板上の領域を減少させることができる。これにより、半導体記憶回路の大容量化が進行した場合でも、チップ面積の増大を抑制することができる。

〔第 2 の実施形態〕

以下の第 2 の実施形態及びその変形例では、前記第 1 の実施形態におけるヒューズ転送回路の構成例を詳細に述べる。前記第 1 の実施形態における構成と同様の部分には同じ符号を付す。

【0020】

図 2 は、第 2 の実施形態の半導体記憶回路を含む半導体集積回路の構成を示すブロック図である。この半導体集積回路は、図 2 に示すように、メモリ回路 10 とヒューズボックス 20 を備え、ヒューズボックス 20 はヒューズブロック 21 とヒューズ転送回路 22 を有する。

【0021】

ヒューズ転送回路 22 は、イネーブルビット判定回路 25、セレクト回路 26、及びデータ発生回路 27 から構成されている。イネーブルビット判定回路 25 は、ヒューズブロック 21 内のイネーブルヒューズ 23 に記憶されたイネーブルビットの値を判定し、その判定結果をセレクト回路 26 に出力する。

【0022】

セレクト回路 26 は、第 1、第 2 入力端子、制御端子、出力端子を有する。第 1 入力端子には、ヒューズブロック 21 内のイネーブルヒューズ 23 及びアドレスヒューズ 24 に記憶されたデータが入力される。第 2 入力端子には、データ発生回路 27 から任意のデータ“0”または“1”が入力される。制御端子には、イネーブルビット判定回路 25 からイネーブルビットの判定結果が入力される。セレクト回路 26 は、制御端子に入力された

判定結果に応じて、第1または第2入力端子に入力されたデータのいずれかを選択して、出力端子から出力する。

【0023】

セレクト回路26から出力されたデータを記憶するリダンダンシラッチ回路13、リダンダンシアドレス判定回路14を含むメモリ回路10内の構成は、前記第1の実施形態と同様である。すなわち、リダンダンシラッチ回路13は、ヒューズ転送回路22から転送されたヒューズデータを記憶する。ヒューズデータは、イネーブルヒューズ23に記憶されたイネーブルデータとスペアセル12が持つメモリセル数分のアドレスデータ（ヒューズアドレス）を有する。リダンダンシアドレス判定回路14は、リダンダンシラッチ回路13に記憶されたヒューズアドレスと外部から入力されたアドレスデータ（入力アドレス）とを比較して、一致しない場合は入力アドレスが示すレギュラーセル11を選択し、一致する場合は入力アドレス及びヒューズアドレスが示すスペアセル12を選択する。

【0024】

また、ヒューズブロック21内も、第1の実施形態と同様にイネーブルヒューズ23、及びアドレスヒューズ24から構成されている。イネーブルヒューズ23は、1ビットのデータを記憶する1個のヒューズからなり、スペアセル12が持つ1つのメモリセルに対応して1つのイネーブルヒューズ23が設けられている。ヒューズブロック21には、スペアセル12が持つメモリセル数と同じ数のイネーブルヒューズ23が形成されている。イネーブルヒューズ23は、対応するスペアセル12を使用しているか否かを“1”または“0”で記憶する。ここでは、“1”がスペアセル12を使用していることを示し、“0”がスペアセル12を使用していないことを示す。アドレスヒューズ24は、複数のヒューズセットから構成されており、複数のヒューズセットの各々は、複数のヒューズからなっている。複数のヒューズには、スペアセル12に置き換えられた不良レギュラーセルのアドレスを示す複数ビットのデータが記憶される。ヒューズブロック21には、スペアセル12が持つメモリセル数より少ない数のヒューズセットが形成されている。イネーブルヒューズ23とアドレスヒューズ24とを合わせたヒューズブロック21内のヒューズ数は、リダンダンシラッチ回路13が記憶するビット数より少ない、言い換えるとリダンダンシラッチ回路13が有する記憶素子数より少ない。

【0025】

次に、図2に示した第2の実施形態の半導体記憶回路を含む半導体集積回路の動作について説明する。

【0026】

図3は、第2の実施形態の半導体記憶回路を含む半導体集積回路の動作を示すフローチャートである。まず、イネーブルビット判定回路25は、ヒューズブロック21から出力されたイネーブルビットを取り込み（ステップS1）、イネーブルビットの値が“1”か否かを判定する（ステップS2）。

【0027】

イネーブルビット判定回路25による判定結果は、セレクト回路26に出力される。イネーブルビットの値が“1”であるとき（Yes）、スペアセル12が使用されているため、セレクト回路26はヒューズブロック21から出力されるアドレスヒューズ24に記憶されていたヒューズアドレスを選択し、スペアセル12に置き換えられた不良レギュラーセルのアドレスデータとして、リダンダンシラッチ回路13へ転送する（ステップS3）。一方、イネーブルビットが“1”で無いとき（No）、スペアセル12が使用されていないため、アドレスデセレクト回路26はデータ発生回路27が発生した“0”または“1”データを選択し、リダンダンシラッチ回路13へアドレス分のデータを転送する（ステップS4）。

【0028】

次に、すべてのイネーブルビットを確認したか否かを判定し（ステップS5）、すべてのイネーブルビットを確認していないときはステップS1へ戻り、ステップS1からステップS5までの処理を繰り返す。一方、すべてのイネーブルビットを確認したときは、処

理を終了する。

【0029】

以下に、第2の実施形態の半導体集積回路の動作を、ヒューズボックス21から出力されるデータ列と、ヒューズ転送回路22から転送されるデータ列を用いて説明する。

【0030】

図4は、ヒューズボックス21からヒューズ転送回路22へ入力されるデータの一例（上段）と、これらのデータが入力されたとき、ヒューズ転送回路22からメモリ回路10へ転送されるデータ（下段）を示している。

【0031】

図4に示した上段のデータにおいて、a、c、d、fにて示すデータがイネーブルヒューズ23に記憶されたデータであり、b、eにて示すデータがアドレスヒューズ24に記憶されたデータである。

【0032】

まず、イネーブルビット判定回路25は、aにて示すデータを取り込み、このデータが“1”か否かを判定する。aにて示すデータは“1”であるため、セレクト回路26はaにて示すデータに続く、bにて示す9桁のデータを選択して出力端子からリダンドンシラッチ回路13へ転送する（btにて示すデータ）。

【0033】

次に、イネーブルビット判定回路25は、cにて示すデータを取り込み、このデータが“1”か否かを判定する。cにて示すデータは“0”であるため、セレクト回路26はデータ発生回路27から発生した“0”データを選択し、ctにて示す9桁の“0”データを出力端子からリダンドンシラッチ回路13へ転送する。

【0034】

次に、イネーブルビット判定回路25は、dにて示すデータを取り込み、このデータが“1”か否かを判定する。dにて示すデータは“1”であるため、セレクト回路26はdにて示すデータに続く、eにて示す9桁のデータを選択して出力端子からリダンドンシラッチ回路13へ転送する（etにて示すデータ）。さらに、イネーブルビット判定回路25は、fにて示すデータを取り込み、このデータが“1”か否かを判定する。fにて示すデータは“0”であるため、セレクト回路26はデータ発生回路27から発生した“0”データを選択し、ftにて示す9桁の“0”データを出力端子からリダンドンシラッチ回路13へ転送する。

【0035】

なお、b、e、bt、ct、et、ftにて示した9桁のデータはアドレスを表しており、記憶容量512ビットのレギュラーセルにおけるアドレスを表示可能な桁数のデータになっている。ここでは9桁としたが、レギュラーセルの記憶容量に応じてそれらのアドレスを表示可能な9桁以外の桁数にしてもよい。また、上段のデータがヒューズブロック21内のイネーブルヒューズ23及びアドレスヒューズ24に記憶されていたデータであり、上段のデータの桁数（ビット数）がヒューズブロック21内のイネーブルヒューズ23及びアドレスヒューズ24を合わせたヒューズの個数に相当する。下段のデータは、ヒューズ転送回路22から転送され、メモリ回路10内のリダンドンシラッチ回路13に記憶されるデータを示しており、リダンドンシラッチ回路13は下段のデータを全て記憶できる数の記憶素子、例えばフリップフロップを有している。

【0036】

以上述べたように、ヒューズボックス21から出力された上段のデータ列は、ヒューズ転送回路22内にて処理され、下段のデータ列がセレクト回路26の出力端子から転送されてリダンドンシラッチ回路13に記憶される。その後の動作は、第1の実施形態と同様である。

【0037】

このような構成を有する半導体集積回路では、アドレスヒューズ24のセット数をイネーブルヒューズ23のヒューズ数と同じにせず、イネーブルヒューズ23のヒューズ数よ

りアドレスヒューズのセット数を少なく設定している。言い換えると、リダダンシラッチ回路が有する 1 ビットを記憶可能な記憶素子の数より、イネーブルヒューズとアドレスヒューズを合わせたヒューズの数少なくしている。これにより、アドレスヒューズ 24 の形成に必要な半導体基板領域を減少させることができる。この結果、半導体記憶回路の大容量化が進行した場合でも、チップ面積の増大を抑制することができる。

【0038】

次に、この発明の第 2 の実施形態の第 1 変形例の半導体記憶回路を含む半導体集積回路について説明する。

【0039】

図 5 は、第 2 の実施形態の第 1 変形例の半導体集積回路の構成を示すブロック図である。図 5 に示すヒューズ転送回路 22 は、図 2 に示したヒューズ転送回路の構成に加えてカウンタ 28 を備えている。このカウンタ 28 は、データ発生回路 27 によるデータの発生回数をカウントする。カウンタ 28 によりカウントされた値は、データ発生回路 27 から発生するデータの数を制御するために用いられる。詳述すると、カウンタ 28 には、イネーブルビット判定回路 25 による判定結果が入力され、カウンタ 28 はイネーブルビットが“0”のとき、すなわちアドレスヒューズ 24 にアドレスデータが記憶されていないとき、データ発生回路 27 から発生するデータの数をカウントする。このカウント値は、データ発生回路 27 によるデータの発生回数を、アドレスデータ分のデータ数（ここでは 9 桁のデータ）に制御するために用いられる。その他の構成及び動作は、前記第 2 の実施形態と同様である。

【0040】

次に、この発明の第 2 の実施形態の第 2 変形例の半導体記憶回路を含む半導体集積回路について説明する。

【0041】

図 6 は、第 2 の実施形態の第 2 変形例の半導体集積回路の構成を示すブロック図である。図 6 に示すヒューズ転送回路 22 は、図 2 に示したヒューズ転送回路の構成に加えてカウンタ 28、及びクロック制御回路 29 を備えている。カウンタ 28 は、前述したように、イネーブルビット判定回路 25 からイネーブルビットが“0”である旨の判定結果が入力されたとき、データ発生回路 27 によるデータの発生回数をカウントする。そのカウント値は、データ発生回路 27 から発生するデータの数を制御するために用いられる。

【0042】

クロック制御回路 29 は、ヒューズボックス 21 内のイネーブルヒューズ 23 及びアドレスヒューズ 24 に記憶されているデータの転送を制御するクロックをヒューズボックス 21 へ供給する。これと共に、リダダンシラッチ回路 13 において、セレクト回路 26 から出力されたデータの転送を制御するクロックをリダダンシラッチ回路 13 へ供給する。その他の構成及び動作は、前記第 2 の実施形態と同様である。

【0043】

この発明の実施形態によれば、全てのスペアセルのアドレスを記憶するためのヒューズを持つ必要がなくなり、大容量化が進行した場合でも、チップ面積の増大を抑制することができる半導体記憶回路を備えた半導体集積回路を提供することが可能である。

【0044】

なお、この発明は以下の実施態様をとりうる。

【0045】

(1) この発明の一実施態様の半導体集積回路は、通常使用されるメモリセルと、前記メモリセルが不良のとき、不良の前記メモリセルと置き換えて使用されるスペアのメモリセルと、前記スペアのメモリセルが使用されているか否かを示すデータを記憶する第 1 の記憶回路と、前記スペアのメモリセルに置き換えられた不良の前記メモリセルのアドレスを記憶する第 2 の記憶回路と、前記第 1 の記憶回路に記憶されたデータにより、前記スペアのメモリセルが使用されているか否かを判定する判定回路と、所定のデータを発生する発生回路と、前記判定回路による判定結果に応じて、前記第 2 の記憶回路に記憶されたアド

レスと前記発生回路から発生したデータのいずれかを選択して出力する選択回路とを具備することを特徴とする。

【0046】

(2) 前記半導体集積回路は、前記発生回路によるデータの発生回数をカウントするカウンタをさらに具備することを特徴とする。

【0047】

(3) 前記半導体集積回路は、前記第1の記憶回路及び前記第2の記憶回路に記憶されたデータの転送タイミングを制御するクロック信号を発生するクロック制御回路をさらに具備することを特徴とする。

【0048】

(4) 前記半導体集積回路は、前記クロック制御回路が、前記第3の記憶回路のシフトレジスタにおけるデータのシフトタイミングを制御するクロック信号を発生することを特徴とする。

【0049】

(5) 前記半導体集積回路は、前記第1の記憶回路が、ヒューズ素子と前記ヒューズ素子が切断されているか否かに応じてデータを記憶するフリップフロップから形成され、前記第2の記憶回路は複数のヒューズ素子と前記ヒューズ素子が切断されているか否かに応じてデータを記憶する複数のフリップフロップから形成されていることを特徴とする。

【0050】

(6) 前記半導体集積回路は、前記第1の記憶回路が含むフリップフロップと、前記第2の記憶回路が含む複数のフリップフロップとが直列に接続されて、シフトレジスタが構成されていることを特徴とする。

【0051】

(7) この発明の一実施態様の半導体集積回路のアドレスデータ転送方法は、不良のメモリセルと置き換えて使用されるスペアのメモリセルを備えた半導体集積回路のアドレスデータ転送方法において、前記スペアのメモリセルが使用されているか否かを示すデータを第1の記憶回路に記憶するステップと、前記スペアのメモリセルに置き換えられた前記不良のメモリセルのアドレスを第2の記憶回路に記憶するステップと、前記第1の記憶回路に記憶されたデータにより、前記スペアのメモリセルが使用されているか否かを判定し、前記スペアのメモリセルが使用されているとき、前記第2の記憶回路に記憶された不良のメモリセルのアドレスを転送し、前記スペアのメモリセルが使用されていないとき、発生回路から発生したデータを転送するステップとを具備することを特徴とする。

【0052】

(8) 前記半導体集積回路のアドレスデータ転送方法は、前記データを転送するステップにより転送された、前記不良のメモリセルのアドレスと前記発生回路から発生したデータを第3の記憶回路に記憶するステップと、前記第3の記憶回路に記憶されたデータと外部から入力されたアドレスとを比較し、一致するか否かを判定するステップとをさらに具備することを特徴とする。

【0053】

(9) 前記半導体集積回路のアドレスデータ転送方法は、前記第1の記憶回路が1つのヒューズ素子から構成され、前記第2の記憶回路が複数のヒューズ素子から構成されていることを特徴とする。

【0054】

(10) 前記半導体集積回路のアドレスデータ転送方法は、前記第1、第2の記憶回路に記憶するステップが、前記ヒューズ素子を切断するステップであることを特徴とする。

【0055】

また、前述した各実施形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【図面の簡単な説明】

【0056】

【図1】この発明の第1の実施形態の半導体記憶回路を含む半導体集積回路の構成を示すブロック図である。

【図2】この発明の第2の実施形態の半導体記憶回路を含む半導体集積回路の構成を示すブロック図である。

【図3】前記第2の実施形態の半導体記憶回路を含む半導体集積回路の動作を示すフローチャートである。

【図4】前記第2の実施形態のヒューズ転送回路における入力データと出力データの一例を示す図である。

【図5】前記第2の実施形態の第1変形例の半導体集積回路の構成を示すブロック図である。

【図6】前記第2の実施形態の第2変形例の半導体集積回路の構成を示すブロック図である。

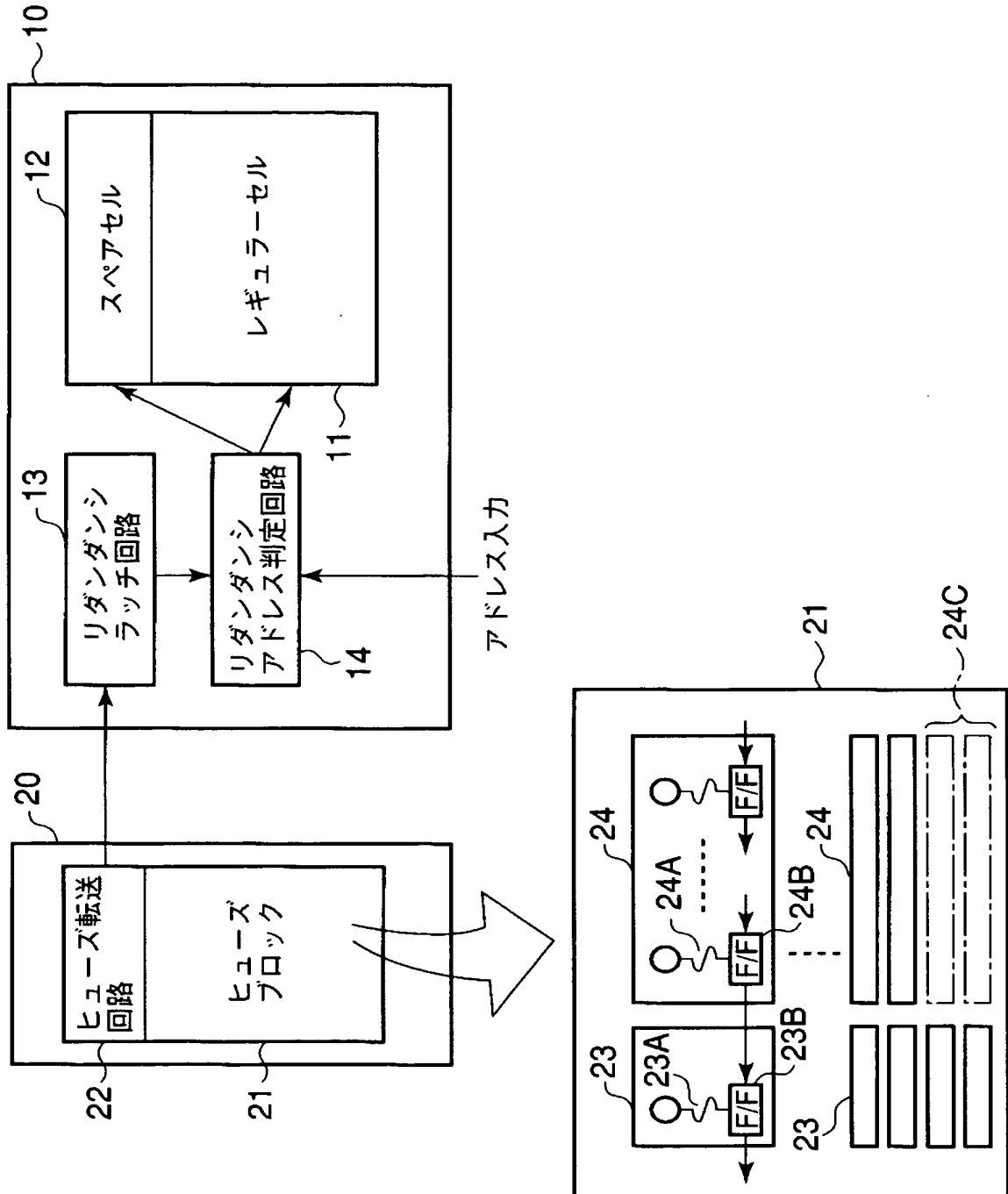
【図7】従来のリダンダンシ機能を備えた半導体記憶回路の構成を示すブロック図である。

【符号の説明】

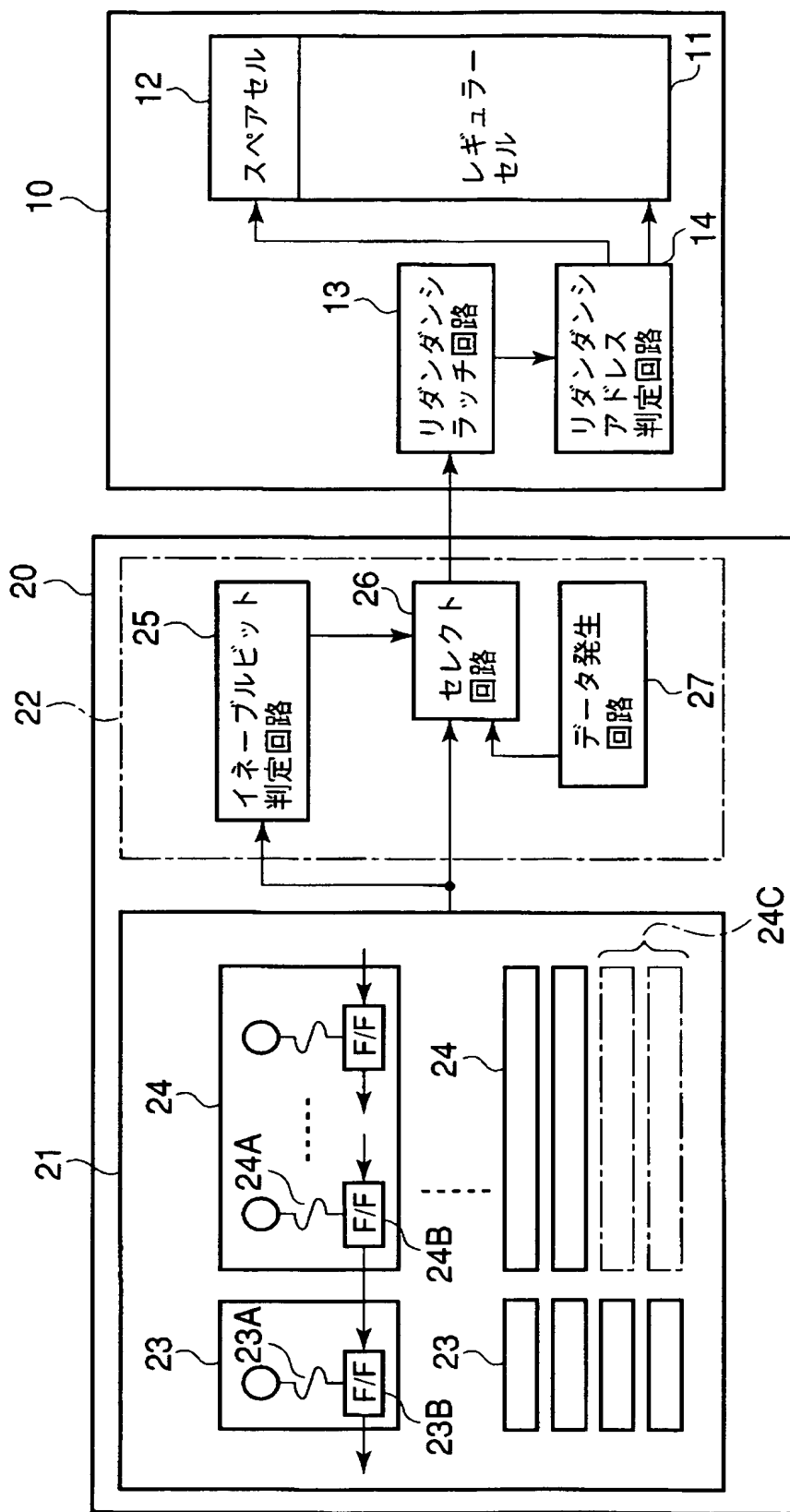
【0057】

10…メモリ回路、20…ヒューズボックス、11…レギュラーセル、12…スペアセル、13…リダンダンシラッチ回路、14…リダンダンシアドレス判定回路、21…ヒューズブロック、22…ヒューズ転送回路、23…イネーブルヒューズ、24…アドレスヒューズ、23A…ヒューズ素子、23B…フリップフロップ、24…アドレスヒューズ、24A…ヒューズ素子、24B…フリップフロップ、25…イネーブルビット判定回路、26…セレクト回路、27…データ発生回路、28…カウンタ、29…クロック制御回路、100…ヒューズボックス、101…ヒューズブロック、102…ヒューズ転送回路、103…イネーブルヒューズ、104…アドレスヒューズ、110…メモリ回路、112…スペアセル、113…リダンダンシラッチ回路。

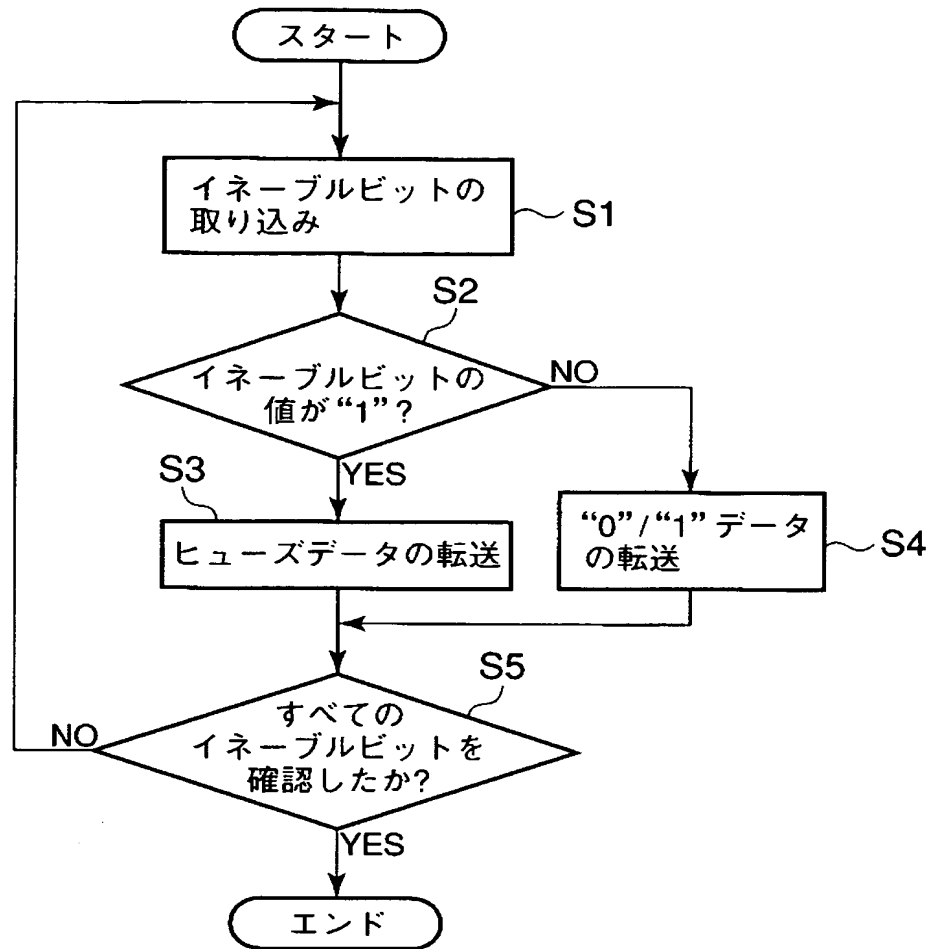
【書類名】 図面
【図 1】



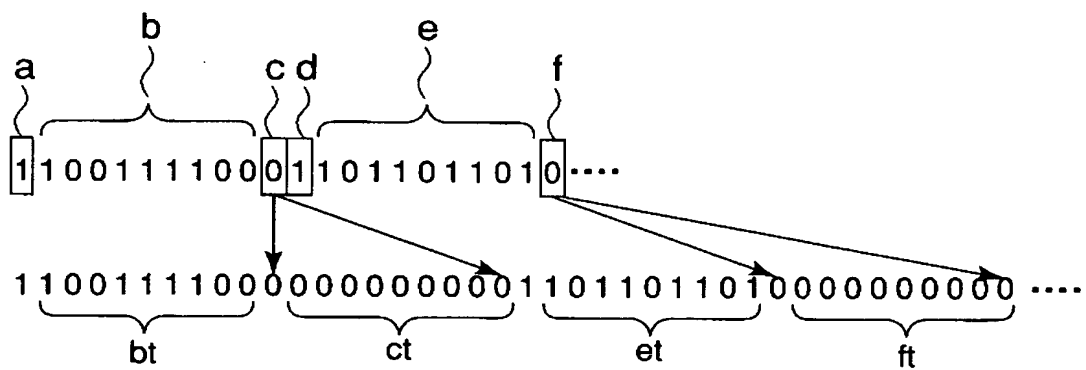
【図 2】



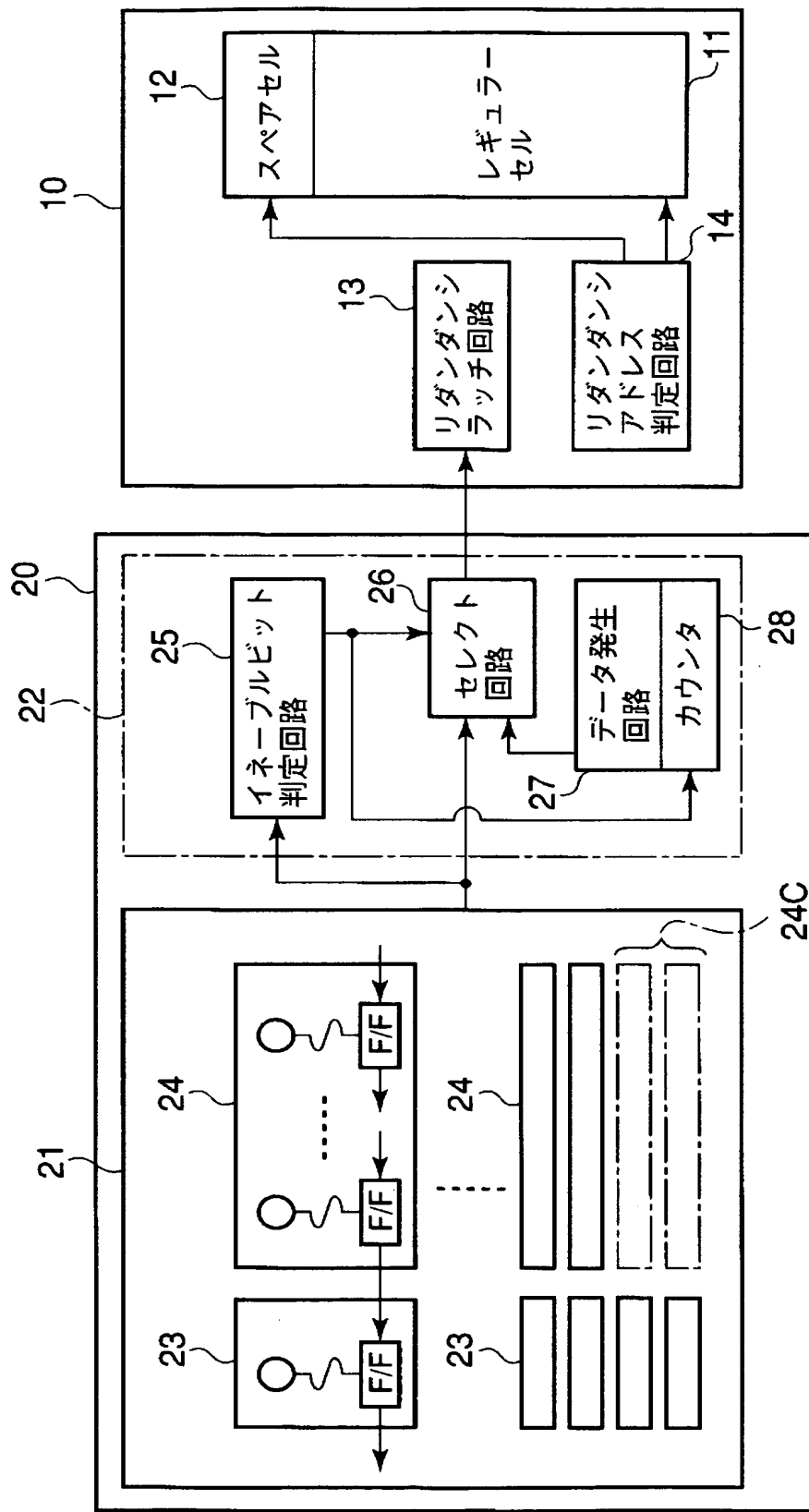
【図 3】



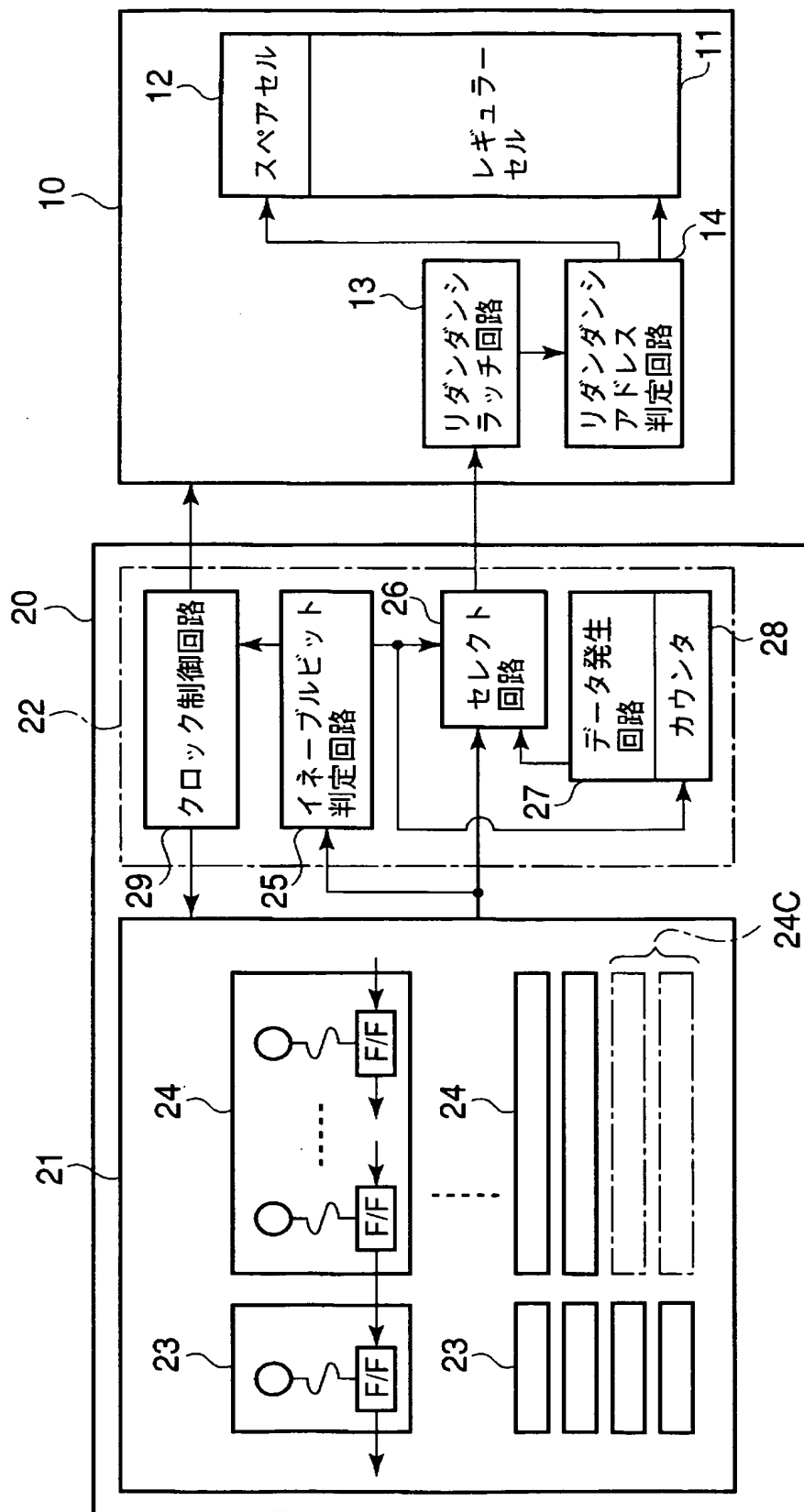
【図 4】



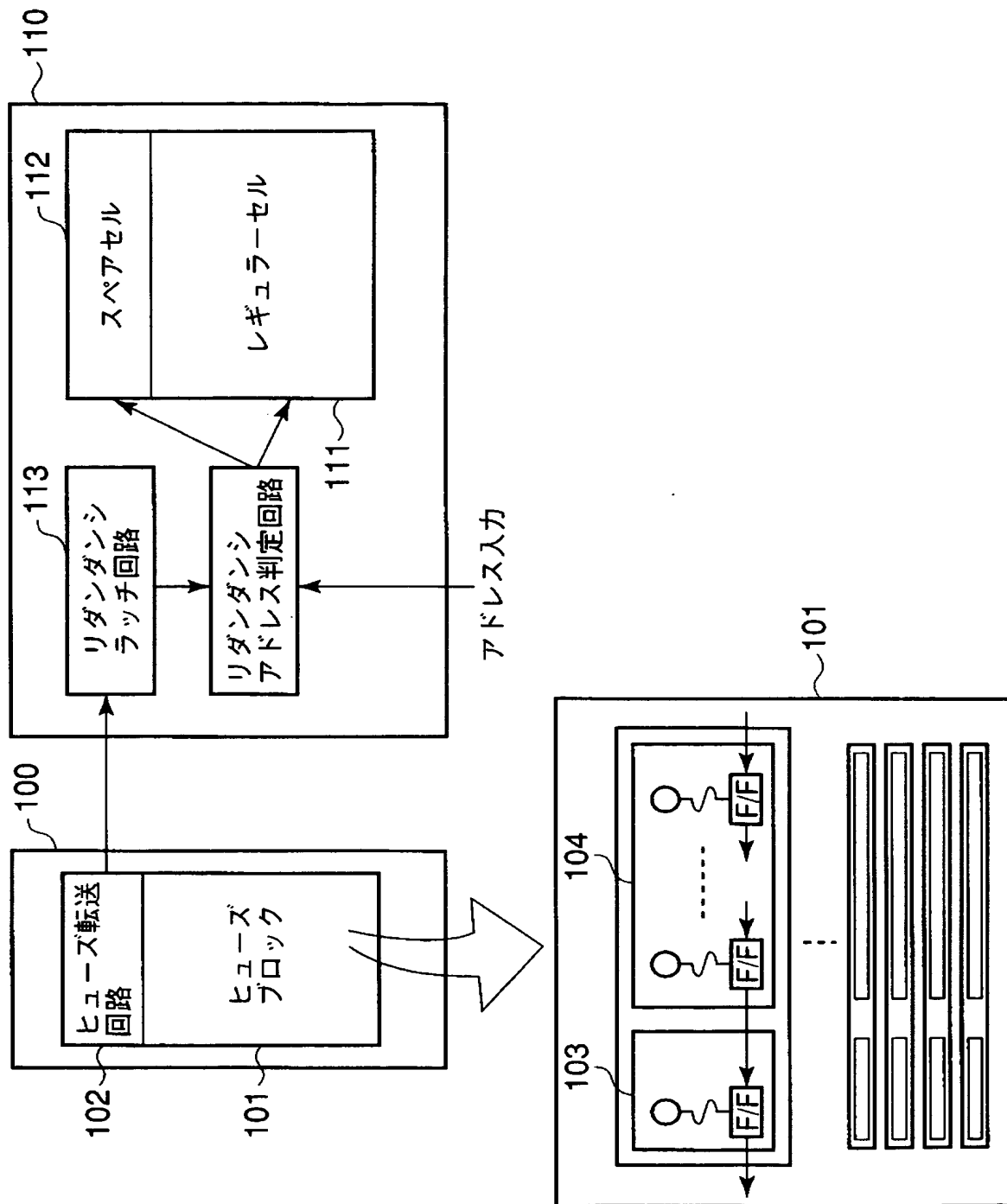
【図 5】



【図6】



【図 7】



【書類名】 要約書**【要約】**

【課題】 大容量化が進行した場合でも、チップ面積の増大を抑制することができる半導体記憶回路を備えた半導体集積回路を提供する。

【解決手段】 レギュラーメモリセル 1 1 と、メモリセル 1 1 が不良のとき、不良のメモリセル 1 1 と置き換えて使用されるスペアセル 1 2 と、スペアセル 1 2 が使用されているか否かを示すデータを記憶するイネーブルヒューズ 2 3 と、スペアセル 1 2 に置き換えられた不良のメモリセル 1 1 のアドレスを記憶するアドレスヒューズ 2 4 と、イネーブルヒューズ 2 3 に記憶されたデータにより、スペアセル 1 2 が使用されているか否かを判定する判定回路 2 5 と、所定のデータを発生する発生回路 2 7 と、判定回路 2 5 による判定結果に応じて、アドレスヒューズ 2 4 に記憶されたアドレスと発生回路 2 7 から発生したデータのいずれかを選択して出力する選択回路 2 6 とから構成されている。

【選択図】 図 2

特願 2 0 0 3 - 4 0 8 5 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝